FPGA アクセラレーションによる生産性向上に関する研究

Study on productivity improvement by FPGA acceleration

村井　博、中村　元一*、柳浦　一美*、小島　賢司*
(*アダマンド並木精密宝石株式会社)

並列処理性能や回路構成の柔軟性に富んだ FPGA※を活用した電子機器の開発手法を県内企業に普及させるため、第二期開発研究事業(H26～H30)では県内企業が出荷する電子機器製品の小型化・高性能化に取り組んできた。一方、社会情勢として生産性向上の機運が一層高まっており、インフラや設備においてもシステム性能をアップしたいという課題がある。このことから第三期の本研究では、これら FPGA の応用先を「自社製品の高度化」から「インフラの高度化」に展開して取り組み、産業全体の底上げを図ることにした。本研究では、主要な生産インフラとして産業用ロボットとその周辺装置に着目している。そこで、ロボットハンド等の多関節アクチュエータを制御する前提のモーションコントローラを構成するにあたり、FPGA を用いることによって多軸高性能に実現することを目標に取り組んだ。

青森産技の第二期開発研究事業における共同研究では、合計 15 軸のモータを同時並列に PWM 駆動できる小型の FPGA 制御基板を開発しており、本研究はこの成果を発展させる取り組みである。PID フィードバック制御を FPGA のハードウェアで並列構成して付加するとともに、上位機器との UDP 通信を低遅延化して FPGA に実装することで 10 軸以上に対応したモーションコントローラを小型に構成することに取り組んだ。

今年度は位置フィードバックによる各軸協調動作の検証を行うため、まずは 2 軸のブラシレス DC モータに限定した評価基板を作製した（写真１）。また、この評価基板の FPGA のハードウェアで PID 制御及び各軸の連携協調制御の機能を構築した。2 つのモータの軌道を比例関係で制御してみたところ、相互の軌道はよく相似しており（図１）、その軌道偏差は 1%未満であった。

また、試作基板内に UDP 通信に基づくモーションコントロールサーバ機能を構築し、外部からの制御指令とその応答の通信にかかる遅延時間を評価した。その結果、約 67μs とリアルタイムに応答する性能を確認した。

来年度は、更に 10 軸以上の多軸化を目指し、更なる FPGA への集積を図る。

※ FPGA：ユーザーが回路情報を書換え可能なデジタル回路　Field-Programmable Gate Array の略称

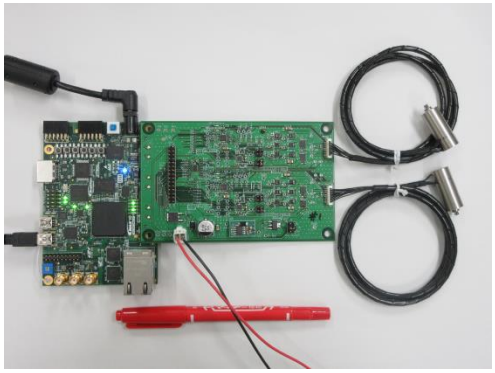

写真１　協調制御評価用 2 軸モータ制御基板

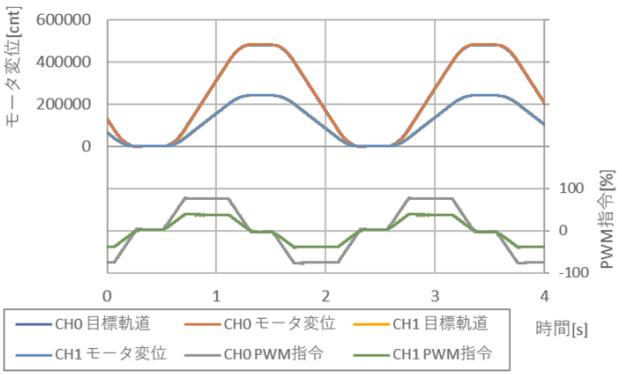

図１　2 つのモータの比率維持制御軌道