

# FPGA アクセラレーションによる生産性向上に関する研究

Study on productivity improvement by FPGA acceleration

村井 博

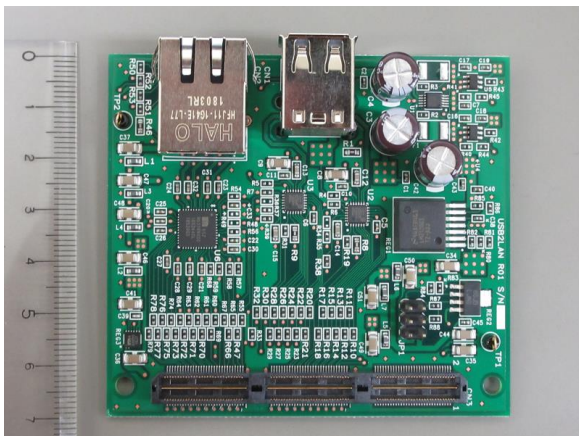
並列処理性能や回路構成の柔軟性に富んだ FPGA\*を活用した電子機器の開発手法を県内企業に普及させるため、第二期開発研究事業(H26～H30)では県内企業が出荷する電子機器製品の小型化・高性能化に取り組んできた。その結果、県内企業の製品である紙枚数計数機の検査機能の高速化、ならびに多軸モータ制御システムの小型化を達成してきた。一方、社会情勢として生産性向上の機運が一層高まっており、インフラや設備においてもシステム性能をアップしたいという課題がある。このことから第三期の本研究では、これら FPGA の応用先を「自社製品の高度化」から「インフラの高度化」に展開して取り組み、産業全体の底上げを図ることにした。

本研究では、まず通信のリアルタイム化を取り上げ「FPGA による低遅延イーサネット技術の開発」に取り組むこととしている。これは一般に ToE (TCP オフロードエンジン) とされるもので、プロトコル処理を専用ハードウェアで行うことによる CPU の負荷軽減技術である。本研究では特定のアプリケーション向けに小型な機能限定版プログラムを構築し、FPGA への実装を試みた。

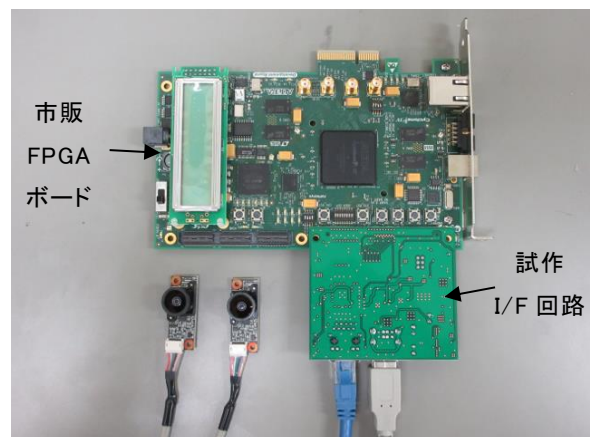
本研究ではロボットに搭載する想定動画転送システムの低遅延化をターゲットとした。今年度は、FPGA による実験系を構築するため、市販の FPGA ボードに連結できるインターフェース回路基板を新たに試作した。さらに、同実験系の FPGA に実装する LAN 通信機能回路プログラムを作成し、加えて TCP/IP のハードウェア処理を実装した。検証では上位層として HTTP プロトコルを選び、同プロトコルによるパケット送受信の動作確認を行った。その結果、FPGA に格納した HTML ファイルを PC の Web ブラウザで正常に表示できることを確認した。

来年度は動画配信システムにおける単機能サーバ機能のプログラミングに取り組む予定である。

※ FPGA：ユーザーが回路情報を書換え可能なデジタル回路 Field-Programmable Gate Array の略称



動画転送向け低遅延ネットワーク実験用  
インターフェース (I/F) 回路基板 試作品



動画転送向け低遅延ネットワーク実験系  
(市販 FPGA 基板と接続)