

FPGA の活用による電子回路の高性能化に関する研究

－紙枚数計数機向け FPGA 検査モジュールへの拡張機能の付加－

Study on superior performance of electronic circuit using FPGA

－The addition of extensions to high-speed inspection module for paper counter－

村井 博、馬場 和人*、田村 一憲*、高橋 力*

(*大蔵工業株式会社)

システム集積技術を県内企業に普及させるため、FPGA*を活用した小型省電力の画像処理装置、検査装置等を開発する。従来、電子機器、各種装置で行っていた検査・制御ソフトウェアを FPGA へ置き換えることにより、小型化と高性能化を図ることを目的とする。

H28 年度までに、印刷物の枚数を計数する装置において、印刷物の並び順、印刷ずれを検査する新規付加機能を実現するため、小型で高性能な FPGA 検査モジュールを開発した。このことにより従来マイコンにて処理していた際の処理速度 1,000 枚/分に対して倍以上の 2,500 枚/分の検査処理速度を実現した。

昨年度は、さらなるシステム集積と装置全体の性能向上を目指して、FPGA 検査モジュールに新たな拡張機能をプログラムした。具体的には、マイコンが従来実施していた検査結果の統計処理（検査ロット中でのエラー数、エラー内容の累積）を FPGA に移植することで、統計処理を高速化するとともにマイコンの負荷を低減させることを狙っている。

本年度は、昨年度プログラムした統計処理プログラムについて検証試験を行った。まず、FPGA から USB 経由でデバッグ用 PC に統計処理結果を転送し Excel VBA にて評価するツールを構築した。このツールにてデバッグと改善を行い、統計処理の正常動作を確認した。最終的に製品付属の Windows アプリケーションにて統計処理結果の表示を可能とした。

※ FPGA：ユーザーが回路情報を書換え可能なデジタル回路 Field-Programmable Gate Array の略称



写真1 FPGA 高速検査モジュール



写真2 紙枚数計数機

1. はじめに

システム集積技術を県内企業に普及させるため、FPGA を活用した小型省電力の画像処理装置、検査装置等を開発する。従来、電子機器、各種装置で行っていた検査・制御ソフトウェアを FPGA へ置き換えることにより、小型化と高性能化を図ることを目的とする。

H28 年度までに、印刷物の枚数を計数する装置において、印刷物の並び順、印刷ずれを検査する新規付加機能を実現するため、小型高性能な FPGA 検査モジュールを開発した。このことにより従来マイコンにて処理していた際の処理速度 1,000 枚/分に対して倍以上の 2,500 枚/分の検査処理速度を実現した。

昨年度は、さらなるシステム集積と装置全体の性能向上を目指して、FPGA 検査モジュールに新たな拡張機能をプログラムした。具体的には、マイコンが従来実施していた検査結果の統計処理（検査ロット中でのエラー数、エラー内容の累積）を FPGA に移植することで、統計処理を高速化するとともにマイコンの負荷を低減させることを狙っている。

本年度は、昨年度プログラムした統計処理プログラムについて検証試験を行った。まず、FPGA から USB 経由でデバッグ用 PC に統計処理結果を転送し Excel VBA にて評価するツールを構築した。このツールにてデバッグと改善を行い、統計処理の正常動作を確認した。最終的に製品付属の Windows アプリケーションにて統計処理結果の表示を可能とした。

2. 実験方法

これまで開発してきた紙枚数計数機と、これに搭載した FPGA 高速回路モジュールをそれぞれ図 1、図 2 に示す。これまでの開発で組み込んだ検査機能に加え、昨年度は同一ロット内の検査結果の集計を検査処理と同時並行で行う統計処理機能を新たにプログラムした。



図 1 紙枚数計数機



このプログラムを検証するため、FPGA 高速検査モジュールに USB インターフェースを設け、デバッグ用 PC に統計処理結果を転送する経路を構築した。デバッグ用 PC では Excel VBA を用いて転送結果を表示し、FPGA の処理内容の正誤を確認するデバッグツールを作成した。デバッグツールを図 3 に示す。このツールによって高速動作時のデバッグを効率的に進めることができ、統計処理のアルゴリズム検証を完了した。

No.	内容	マーク No.	期待値	スペース1	マーク1	スペース2	未検査枚
10	ハリずれ	7	3.97	2.32	10.25	0	13 0014
12	ハリずれ	5	4.14	1.88	11.08	0	14 0013
14	ハリずれ	3	3.59	2.24	11.15	0	15 0014
15	落丁	6	1.57	2.99	11.52	1	16 0014
17	落丁	1				2	16 0015
18	落丁	2				3	17 0016
19	落丁	1				3	18 0017
20	データなし	511	511				1023

(a) 印刷ずれ表示例

No.	内容	マーク No.	期待値	スペース1	マーク1	スペース2	未検査枚
4	落丁	5	1			1	13 0014
20	落丁	3	2			2	14 0015
29	落丁	4	3			3	15 0014
38	落丁	1	2			2	16 0015
50	落丁	2	3			3	17 0016
59	落丁	1	3			2	18 0017
1023	データなし	511	511				1023

(b) 丁合ずれ表示例

図3 Excel VBA によるデバッグツール

3. 結果

図3のデバッグツールを用いたアルゴリズム検証を経て、紙枚数計数機付属のWindowsアプリケーションプログラムでも、同様に統計処理結果表示を行い、意図した動作を確認した。これにより統計処理を付加した状態で実用化した。

No.	合計枚数	テープ数	端数	合計枚数	時刻	備考/エラー
1	16	0	0	0	19:06:07	学習計数
2	32	0	0	0	19:06:04	全数良品
3	48	0	0	0	19:07:04	検査不良

(a) 検査履歴表示

No.	内容	マーク No.	スペース1	マーク1	マーク3	スペース2	未検査枚数
10	落丁	23	1.21	3.79	0	15.47	2

(b) エラーリスト表示

図4 紙枚数計数機付属オプションソフトウェアによる表示

4. まとめ

紙枚数計数機向けFPGA検査モジュールに統計処理機能をプログラムし、その機能検証を行った。その結果、統計処理の正常動作が確認された。FPGAが得意とする並列処理とシステム集積により、処理速度を低下させることなく機能を拡張することができた。統計処理を付加した当検査モジュールは、紙枚数計数機に搭載されて性能アップに貢献することになる。