# FPGAの活用による電子回路の小型化に関する研究
## －紙枚数計数機向けFPGA検査モジュールへの拡張機能の付加－

Study on miniaturization of electronic circuit using FPGA
－ The addition of extensions to high-speed inspection module for paper counter －

村井　博、馬場　和人*、田村　一憲*、高橋　力*
（＊大蔵工業株式会社）

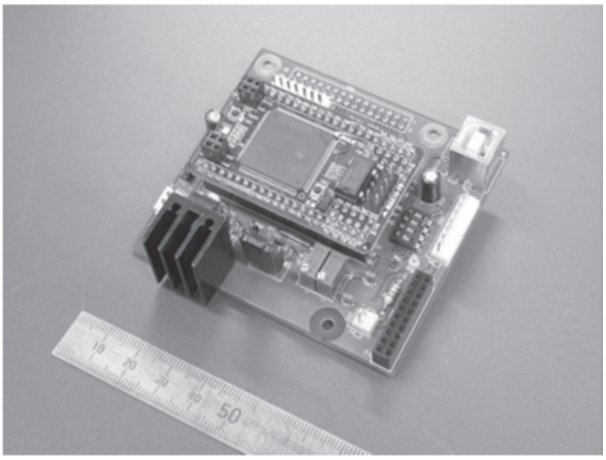
システム集積技術を県内企業に普及させるため、 FPGA※を活用した小型省電力の画像処理装置、検査装置等を開発する。従来、電子機器、各種装置で行っていた検査・制御ソフトウェアを FPGA へ置き換えることにより、小型化と高性能化を図ることを目的とする。

昨年度までは、印刷物の枚数を計数する装置において、印刷物の並び順、印刷ずれを検査する新規付加機能を実現するため、小型高性能な FPGA 検査モジュールを開発した。このことにより従来マイコンにて処理していた際の処理速度 1,000 枚/分に対して倍以上の 2,500 枚/分の検査処理速度を実現した。さらに、検査アルゴリズムを改善することにより、検査正答率も実用レベルに達したので、検査モジュールを実用化した。

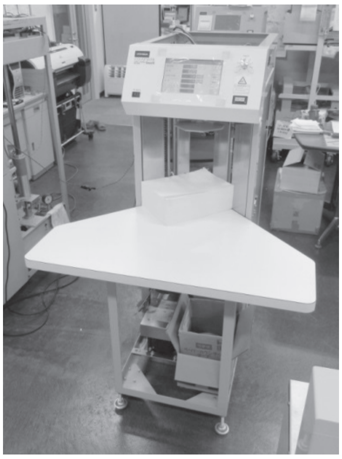
本年度は、さらなるシステム集積と装置全体の性能向上を目指して、FPGA 検査モジュールに新たな拡張機能を盛り込むこととした。具体的には、マイコンが従来実施していた検査結果の統計処理（検査ロット中でのエラー数、エラー内容の累積）を FPGA に移植することで、統計処理を高速化するとともにマイコンの負荷を低減させることを狙っている。

まず、現行のマイコンに実装されているルーチンを元に統計処理にかかる仕様を共同で策定し、その上で、FPGA のハードウェアによる実行に適した回路形態について論理設計した。設計の過程において、検査処理で活用しているパイプラインなどの並列処理技法が、統計処理にも適用できることを見出した。このことから、積極的に並列処理を適用して統計処理プログラムを作成し、FPGA 内部に組み込んだ。

※ FPGA：ユーザーが回路情報を書換え可能なデジタル回路　Field-Programmable Gate Array の略称



***FPGA 高速検査モジュール***



***紙枚数計数機***